

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0015

Applicant: Hee Bok KANG

Confirmation No.: 7144

Appl. No.: 10/608,440

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: 2816

Title: RESET CIRCUIT AND FERAM USING THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0070602 filed November 14, 2002

Respectfully submitted,

Date: October 30, 2003
HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By Johnny A. Kumar
Johnny A. Kumar
Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0070602
Application Number

출원년월일 : 2002년 11월 14일
Date of Application NOV 14, 2002

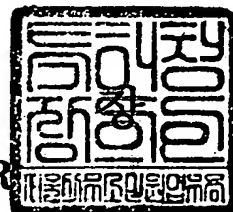
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002. 11. 14
【국제특허분류】	H01L
【발명의 명칭】	리셋신호 발생회로 및 이를 이용한 불휘발성 강유전체 메모리 장치
【발명의 영문명칭】	Reset circuit and FeRAM using the reset circuit
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 26 면 26,000 원

【우선권 주장료】 0 건 0 원

【심사청구료】 25 항 909,000 원

【합계】 964,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명의 리셋신호 발생회로는 인가된 전압의 크기를 일정 기간 유지하는 전원감지부, 전원전압의 변화와 인가되는 바이어스 전압에 따라 피드백 제어부로 전류를 공급하는 임계전압 제어부, 전원감지부의 출력전압과 임계전압 제어부에서 공급되는 전류량에 따라 전원전압이 일정 레벨에 도달하는 경우에만 전원감지부의 출력전압을 로우 레벨로 천이시키는 피드백 제어부, 전원감지부의 출력전압을 하이 레벨로 풀업시키고 피드백 제어부에 의해 조절된 전압 신호를 리셋신호로 출력하는 풀업 제어부 및 전원전압이 일정 레벨에 도달할 때 까지 임계전압 제어부에서 피드백 제어부로 공급되는 전류량을 조절하는 셀프 바이어스부를 구비하여, 전원전압의 파워 업 슬로프에 상관없이 전원전압이 일정 레벨에 도달하는 경우에만 리셋신호가 안정되게 발생되도록 해주며 이러한 리셋신호 발생회로를 불휘발성 강유전체 메모리 장치에 사용하여 메모리의 동작 특성을 양호하게 할 수 있게 된다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

리셋신호 발생회로 및 이를 이용한 불휘발성 강유전체 메모리 장치{Reset circuit and FeRAM using the reset circuit}

【도면의 간단한 설명】

도 1은 일반적인 강유전체의 히스테리시스 루프 특성도.

도 2는 일반적인 불휘발성 강유전체 메모리 장치에 따른 단위 셀의 구성도.

도 3a는 일반적인 불휘발성 강유전체 메모리 장치의 쓰기 모드(Write Mode)의 동작을 나타낸 타이밍도.

도 3b는 일반적인 불휘발성 강유전체 메모리 장치의 읽기 모드(Read Mode)의 동작을 나타낸 타이밍도.

도 4는 종래 기술에 따른 파워 온 리셋회로의 회로도.

도 5 및 도 6은 도 4의 파워 온 리셋회로의 동작 파형도.

도 7은 본 발명에 따른 리셋신호 발생회로를 사용하는 불휘발성 강유전 메모리 장치의 구성도.

도 8은 본 발명의 제 1실시예에 따른 리셋신호 발생회로의 회로도.

도 9는 도 8의 리셋신호 발생회로의 동작 파형도.

도 10은 본 발명의 제 2실시예에 따른 리셋신호 발생회로의 회로도.

도 11은 도 10의 리셋신호 발생회로의 동작파형도.

도 12는 본 발명의 제 3실시예에 따른 리셋신호 발생회로의 회로도.

도 13은 본 발명의 제 4실시예에 따른 리셋신호 발생회로의 회로도.

도 14는 본 발명의 리셋신호 천이 검출부의 회로도.

도 15는 본 발명의 칩 인에이블 신호 천이 검출부의 회로도.

도 16은 본 발명의 어드레스 래치의 회로도.

도 17은 칩 인에이블 신호가 로우 레벨을 유지하는 경우 어드레스 천이 제어신호를 나타낸 타이밍도.

도 18은 칩 인에이블 신호가 천이하는 경우 어드레스 천이 제어신호를 나타낸 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 불휘발성 강유전체 메모리 장치에 관한 것으로, 보다 상세하게는, 셀프 바이어스(Self-Bias) 회로를 이용하여 전원 업 슬로프(Power Up Slope)에 무관하게 일정한 전압 이상에서만 리셋 신호를 발생시키는 리셋 회로 및 그 리셋 회로를 사용하는 불휘발성 강유전체 메모리 장치에 관한 것이다.

<20> 일반적으로, 불휘발성 강유전체 메모리 장치 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM) 정도의 데이터 처리속도를 가지며, 전원의 오프(off)시에도 데이터가 보존되는 특성 때문에 차세대 기억소자로 주목받고 있다.

- <21> FeRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로서 커패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류분극을 이용한 것이다. 이와 같은 잔류분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <22> 도 1은 일반적인 강유전체의 특성인 히스테리시스 루프를 나타낸다.
- <23> 도 1에서와 같이, 전계에 의해 유기된 분극이 전계를 제거하더라도 잔류분극(또는 자발분극)의 존재로 인하여 소멸되지 않고 일정량(d, a 상태)를 유지하고 있음을 볼 수 있다.
- <24> 불휘발성 강유전체 메모리 셀은 이러한 d 및 a 상태를 각각 1 및 0으로 대응시켜 기억소자로 응용한 것이다.
- <25> 도 2는 일반적인 불휘발성 강유전체 메모리 장치에 따른 단위 셀을 도시한 것이다.
- <26> 도 2에 도시된 바와 같이, 일방향으로 비트라인 B/L이 형성되고, 비트라인과 교차하는 방향으로 워드라인 W/L이 형성되며, 워드라인에 일정한 간격을 두고 워드라인과 동일한 방향으로 플레이트 라인 P/L이 형성된다. 게이트 단자가 워드라인에 연결되고 소오스 단자는 비트라인에 연결되도록 NMOS트랜지스터가 형성되고, 두 단자중 제 1 단자가 NMOS트랜지스터의 드레인에 연결되고 제 2 단자는 플레이트 라인 P/L에 연결되도록 강유전체 커패시터 FC1가 형성된다.
- <27> 이와 같은 불휘발성 강유전체 메모리 소자의 데이터 입/출력 동작을 설명하면 다음과 같다.
- <28> 도 3a는 일반적인 불휘발성 강유전체 메모리 장치의 쓰기 모드(Write Mode)의 동작을 나타낸 타이밍도이고, 도 3b는 읽기 모드(Read Mode)의 동작을 나타낸 타이밍도이다.

- <29> 우선, 도 3a에 도시된 쓰기 모드를 설명하면, 외부에서 인가되는 칩 인에이블 신호 CSBpad가 하이(high)에서 로우(low)로 활성화되고, 동시에 쓰기 인에이블 신호 WEBpad를 하이에서 로우로 인가하면 쓰기 모드가 시작된다.
- <30> 이어, 쓰기 모드에서 어드레스 디코딩이 시작되면 해당 워드라인에 인가되는 펄스가 로우에서 하이로 천이되어 셀이 선택된다.
- <31> 이와 같이 워드라인이 하이 상태를 유지하고 있는 구간에서 해당 플레이트 라인에 차례로 일정구간의 하이 신호와 일정구간의 로우 신호가 인가된다. 그리고 선택된 셀에 로직값 '1' 또는 '0'을 쓰기 위해서 해당 비트라인에 쓰기 인에이블신호 WEBpad에 동기되는 '하이' 또는 '로우' 신호를 인가한다.
- <32> 즉, 아래 표 1과 같이 비트라인에 하이 신호를 인가하고 워드라인에 인가되는 신호가 하이 상태인 구간에서 플레이트 라인에 인가되는 신호가 로우이면 강유전체 커패시터 FC1에는 로직값 '1'이 기록된다. 그리고 비트라인에 로우 신호를 인가하고 플레이트 라인에 인가되는 신호가 하이 신호이면 강유전체 커패시터 FC1에는 로직값 '0'이 기록된다.

<33> [표 1]

<34>

W/L : H		P/L	
		H	L
B/L	H	X	1
	L	0	X

- <35> 다음으로 도 3b에 도시된 읽기 모드 동작을 설명한다.

- <36> 외부에서 칩 인에이블 신호 CSBpad를 하이에서 로우로 활성화시키면 해당 워드라인이 선택되기 이전에 모든 비트라인은 이퀄라이즈(equalize) 신호에 의해 로우 전압으로 등전위된다.
- <37> 그리고 각 비트라인을 비활성화시킨 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드라인에는 로우 신호가 하이 신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인에 하이 신호를 인가하여 강유전체 메모리 셀에 저장된 로직값 '1'에 상응하는 데이터 Qs를 파괴시킨다.
- <38> 만약, 강유전체 메모리 셀에 로직값 '0'이 저장되어 있다면 그에 상응하는 데이터 Qns는 파괴되지 않는다.
- <39> 이와 같이 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 비트라인에 출력하게 되어 이를 이용해 센스앰프는 로직값 '1' 또는 '0'을 센싱하게 된다.
- <40> 즉, 데이터가 파괴된 경우는 도 1의 히스테리시스 루프에서 처럼 d에서 f로 변경되는 경우이고, 데이터가 파괴되지 않는 경우는 a에서 f로 변경되는 경우이다.
- <41> 따라서, 일정시간이 경과한 후에 센스앰프가 인에이블되면, 데이터가 파괴된 경우는 증폭되어 로직값 '1'을 출력하고, 데이터가 파괴되지 않은 경우는 증폭되어 로직값 '0'을 출력한다.
- <42> 이와 같이, 센스앰프에서 데이터를 증폭한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드라인에 하이 신호가 인가된 상태에서 플레이트 라인을 하이에서 로우로 비활성화시킨다.

- <43> 기억 소자로서 상술한 불휘발성 강유전체 메모리를 사용하는 시스템에서, 시스템 컨트롤러는 불휘발성 강유전체 메모리 칩으로 제어신호로서 칩 인에이블 신호 CSBpad를 출력하고, 메모리 칩 내의 메모리 장치는 칩 인에이블 신호 CSBpad에 따라 칩의 메모리 셀을 동작시키기 위한 칩 내부 컨트롤 신호 CE를 발생시켜 메모리에 데이터를 기록하거나 메모리에 기록된 데이터를 읽어내어 데이터 버스를 통해 시스템 컨트롤러로 전송한다.
- <44> 이러한 불휘발성 강유전체 메모리를 사용하는 시스템에 있어서, 불휘발성 강유전체 메모리에 처음 전원 투입시 코드 레지스터에 저장된 데이터를 읽어들이 다시 셋업하여야 할 필요성이 요구된다.
- <45> 그런데 이러한 코드 레지스터 읽기 동작은 파워 온 리셋회로(POR) 신호를 이용하도록 구성되어 있다.
- <46> 종래의 파워 온 리셋신호는 리셋신호를 발생하는데 있어서 전압의 파워 온 슬로프에 의해 많이 좌우되도록 회로가 구성되어 있어 파워 온 슬로프가 길어지면 낮은 전원 전압에서 리셋신호가 발생되었다.
- <47> 도 4는 종래 기술에 따른 파워 온 리셋회로의 구성을 나타낸다.
- <48> 종래의 파워 온 리셋회로에서는, 게이트 단자가 접지전압단 VSS에 연결된 PMOS트랜지스터 T1 및 소오스 단자와 드레인 단자가 접지전압단 VSS에 공통 연결되고 게이트 단자가 PMOS트랜지스터 T1의 출력단자와 연결되는 NMOS트랜지스터 T2가 전원전압단 VCC과 접지전압단 VSS 사이에 직렬로 연결되어 있다.
- <49> 그리고, 파워 온 리셋회로는 PMOS트랜지스터 T1의 출력전압을 반전시키는 제 1 인버터 INV1와, 제 1 인버터 INV1의 출력신호를 반전시키는 제 2 인버터 INV2와, 제 2 인

버터 INV2의 출력신호에 의해 제어되며 전원전압단 VCC와 제 1 인버터 INV1의 출력단 사이에 연결되는 PMOS트랜지스터 T3와, 제 2 인버터 INV2의 출력신호를 반전시켜 리셋신호를 출력하는 제 3 인버터 INV3을 더 포함한다.

- <50> 이러한 파워 온 리셋회로의 출력전압(RESET)의 레벨은 풀업전류원인 PMOS트랜지스터 T1과 캐패시터소자로의 기능을 수행하는 NMOS트랜지스터 T2 간의 RC 딜레이 시간에 의해 결정되게 된다.
- <51> 따라서, 메모리 칩이 안정적으로 동작하기 위해서는 파워 업이 일정한 규격시간 안에 이루어져야 한다. 그런데, 코드 레지스터에서 어떤 원인으로 인해 파워 업 시간이 이 규격시간을 벗어나게 되면 코드 레지스터에 저장된 데이터는 파괴되고 만다.
- <52> 도 5 및 도 6은 각각 전원전압이 빠른 기울기로 증가하는 경우와 느린 기울기로 증가하는 경우에 리셋신호가 발생하는 모습을 나타내는 타이밍도이다.
- <53> 도 5에 도시된 바와 같이, 전원전압이 빠른 기울기로 접지전압 레벨 VSS에서 전원전압 레벨 VCC로 빠르게 상승하게 되면 일정한 전압 이상에서 리셋신호가 발생하게 됨을 알 수 있다.
- <54> 이에 반하여, 도 6에서와 같이 전원전압이 느린 기울기로 서서히 접지전압 레벨 VSS에서 전원전압 레벨 VCC로 상승하게 되면 도 5의 경우에서 보다 더 많은 시간동안 NMOS캐패시터 T2가 프리차지 되어 NMOS캐패시터 T2의 센싱 레벨이 빠르게 높아짐으로써 낮은 전압에서 리셋신호가 발생하게 됨을 알 수 있다.
- <55> 이와 같이 종래의 파워 온 리셋회로는 전원의 변화정도에 따라 파워 온 리셋신호의 발생이 불안정하게 되어 정상 전압보다 낮은 전압에서 코드 레지스터를 동작시키게 되면

코드 레지스터에 저장된 데이터가 잘못 읽혀지게 되거나 불충분한 상태로 재저장 (restore)되는 동작이 수행되어 코드 레지스터에 오류(fail)을 유발할 수 있게 된다.

<56> 그러므로, 어떠한 파워 온 슬로프 시간에서도 일정한 전압 이상에서 파워 온 리셋 신호가 발생할 수 있도록 하는 회로가 절실히 요구된다.

【발명이 이루고자 하는 기술적 과제】

<57> 따라서, 상술한 문제점을 해결하기 위한 본 발명의 목적은 전원전압의 파워 온 슬로프에 무관하게 전원전압이 일정 수준 이상이 되는 경우에만 안정적으로 리셋신호가 발생되도록 하는데 있다.

【발명의 구성 및 작용】

<58> 위와 같은 목적을 달성하기 위한 본 발명의 리셋신호 발생회로는 인가된 전압의 크기를 일정 기간 유지하는 전원감지부, 전원전압의 변화와 인가되는 바이어스 전압에 따라 피드백 제어부로 전류를 공급하는 임계전압 제어부, 전원감지부의 출력전압과 임계전압 제어부에서 공급되는 전류량에 따라 전원전압이 일정 레벨에 도달하는 경우에만 전원감지부의 출력전압을 로우 레벨로 천이시키는 피드백 제어부, 전원감지부의 출력전압을 하이 레벨로 폴업시키고 피드백 제어부에 의해 조절된 전압 신호를 리셋신호로 출력하는 폴업 제어부 및 전원전압이 일정 레벨에 도달할 때 까지 임계전압 제어부에서 피드백 제어부로 공급되는 전류량을 조절하는 셀프 바이어스부를 구비한다.

<59> 그리고, 상술된 리셋신호 발생회로를 사용하는 본 발명의 불휘발성 강유전체 메모리 장치는 파워 업 슬로프에 상관없이 전원전압이 일정 레벨 이상인 경우에만 리셋신호를 출력하는 리셋신호 발생부, 리셋신호의 천이 시점을 검출하여 리셋신호 천이 검출신

호를 출력하는 리셋신호 천이 검출부, 어드레스 패드를 통해 입력된 어드레스를 칩 인에이블 신호와 어드레스 천이 제어신호에 따라 래치하는 어드레스 래치, 어드레스 래치로부터 출력되는 어드레스의 천이 시점을 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부, 칩 인에이블 신호와 리셋신호 천이 검출 신호의 천이 시점을 검출하여 칩 인에이블 천이 검출 신호를 출력하는 칩 인에이블 신호 천이 검출부 및 어드레스 천이 검출 신호와 칩 인에이블 신호 천이 검출 신호를 합성하여 천이 합성 신호를 출력하는 합성부를 구비한다.

<60> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

<61> 도 7은 본 발명에 따른 불휘발성 강유전 메모리 장치에서 칩 제어 신호를 발생시키기 위한 칩 구동 신호 발생장치의 구성도로 천이 검출 신호들(RTD, CTD, ATD 및 TDS)의 관계를 나타낸다.

<62> 본 발명의 불휘발성 강유전체 장치는 파워 업 슬로프에 상관없이 전원전압이 일정 레벨 이상인 경우에만 리셋신호를 출력하는 리셋신호 발생부, 리셋신호의 천이 시점을 검출하여 리셋신호 천이 검출신호를 출력하는 리셋신호 천이 검출부, 어드레스 패드를 통해 입력된 어드레스를 래치하는 어드레스 래치, 어드레스의 천이 시점을 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부, 칩 인에이블 신호와 리셋신호 천이 검출 신호의 천이 시점을 검출하여 칩 인에이블 천이 검출 신호를 출력하는 칩 인에이블 신호 천이 검출부 및 어드레스 천이 검출 신호와 칩 인에이블 신호 천이 검출 신호를 합성하여 천이 합성 신호를 출력하는 합성부로 이루어진다.

- <63> 칩 인에이블 신호 버퍼(10)는 칩 인에이블 패드를 통해 입력된 신호 CEB_PAD를 임시 저장하여 칩 인에이블 신호 CEB로 출력한다. 이때, 출력되는 칩 인에이블 신호 CEB의 위상은 칩 활성화 조정 신호 CEB_PAD와 동일한 위상을 가진다.
- <64> 리셋신호 발생부(20)는 전원전압의 파워 업 슬로프 타임에 상관없이 전원전압이 일정 레벨이 되었을 경우에만 리셋신호를 발생시켜 안정적인 리셋신호를 얻을 수 있도록 해준다.
- <65> 리셋신호 천이 검출부(30)는 리셋신호 발생부(20)로부터 입력된 리셋신호 RESET가 천이되는 시점을 검출하여 도 9에서와 같이 리셋 동작이 시작되는 시점에서 펄스 형태의 리셋신호 천이 검출 신호 RTD를 발생시킨다.
- <66> 프로그래머블 회로 블록(40)은 비 휘발성 프로그래머블 코드 레지스터들로 구성되어 외부에서 입출력 변경이 가능한 회로 블록으로 리셋신호 천이 검출 신호 RTD를 이용하여 동작한다.
- <67> 칩 인에이블 신호 천이 검출부(50)는 칩 인에이블 버퍼(10)로부터 출력되는 칩 인에이블 신호 CEB와 리셋신호 천이 검출부(30)로부터 출력되는 리셋신호 천이 검출 신호 RTD를 인가받아 두 신호 중 적어도 어느 한 신호가 하이 레벨에서 로우 레벨로 천이되는지를 검출하여 칩 인에이블 천이 검출 신호 CTD를 발생시킨다.
- <68> 어드레스 래치(60)는 어드레스 패드를 통해 입력된 어드레스 ADD_PAD를 수신하여 칩 인에이블 신호 CEB와 어드레스 천이 제어 신호 ATD_CON에 따라 어드레스 ADD 및 래치된 어드레스 ADD_LAT, ADDB_LAT를 출력한다.

- <69> 어드레스 천이 검출부(70)는 어드레스 래치(60)의 출력신호인 어드레스 ADD의 천이 시점을 검출하여 어드레스 천이 검출 신호 ATD를 출력한다.
- <70> 합성부(80)는 칩 인에이블 신호 천이 검출부(50)로부터의 칩 인에이블 천이 신호 CTD와 어드레스 천이 검출부(70)로부터의 어드레스 천이 검출 신호 ATD를 합성하여 메모리 셀의 워드라인 WL 및 플레이트 라인 PL을 구동시키기 위한 합성된 천이 검출 신호 TDS로 출력된다.
- <71> 이하, 상술된 본 발명의 불휘발성 강유전체 메모리 장치에 대한 각 구성요소들의 구성 및 동작을 보다 상세하게 설명하면 다음과 같다.
- <72> 도 8은 본 발명의 리셋신호 발생부에 대한 제 1실시예를 보여주는 회로도이다.
- <73> 리셋신호 발생부(20)는 인가된 전압의 크기를 일정 기간 유지하는 전원감지부(21), 전원전압의 변화와 인가되는 바이어스 전압에 따라 피드백 제어부로 전류를 공급하는 임계전압 제어부(22), 전원감지부(21)의 출력전압과 임계전압 제어부(22)에서 공급되는 전류에 따라 전원감지부(21)의 출력전압을 조절해주는 피드백 제어부(23), 전원감지부(21)의 출력전압을 하이 레벨로 풀업시키고 피드백 제어부(23)에 의해 조절된 전압 신호를 리셋신호로 출력하는 풀업 제어부(24) 및 임계전압 제어부(22)에 바이어스 전압을 인가하여 풀업 소자인 PMOS트랜지스터 P5, P6, P7의 초기 게이트 전압을 결정해주는 셀프 바이어스부(25)를 구비한다.
- <74> 상술된 리셋신호 발생부(20)의 각 구성요소들의 구성을 보다 상세하게 설명하면 다음과 같다.

- <75> 전원감지부(21)는 전원전압단 VCC와 노드 B 사이에 직렬 연결되고 각 게이트 단자가 노드 C와 연결되는 PMOS트랜지스터 P1과 NMOS트랜지스터 N1, 전원전압단 VCC와 노드 B 사이에 직렬 연결되고 각 게이트 단자가 노드 A와 연결되는 PMOS트랜지스터 P2와 NMOS트랜지스터 N2, 드레인 단자와 소오스 단자가 접지전압단 VSS에 공통 연결되고 게이트 단자가 노드 A와 연결된 NMOS트랜지스터 N3, 및 노드 B와 접지전압단 VSS 사이에 연결되고 게이트 단자가 노드 C와 연결된 NMOS트랜지스터 N4를 구비한다.
- <76> 임계전압 제어부(22)는 전원전압단 VCC와 출력노드인 노드 D 사이에 직렬 연결되고 게이트 단자가 공통 연결된 세 개의 PMOS트랜지스터들 P5, P6, P7 및 전원전압단 VCC와 노드 D 사이에 직렬 연결되고 게이트 단자가 드레인 단자와 공통 연결된 두 개의 NMOS트랜지스터 N5, N6을 구비한다.
- <77> NMOS트랜지스터 N5, N6은 전원전압 VCC의 증가에 비례하여 노드 D에 전류를 공급해주어 전원전압 VCC가 일정 레벨까지 증가하게 되면 전원감지부(21)의 출력 전압이 로우 레벨로 천이될 수 있도록 해주는 전압 구동부로써의 역할을 수행한다. 이때, 노드 D의 전압은 NMOS트랜지스터 N5, N6에 의해 공급되는 전류에 의해서만은 전원전압 VCC까지 상승되지 못하므로 노드 D의 전압을 전원전압 VCC의 크기까지 풀업시키기 위해 전압 풀업부로서 PMOS트랜지스터 P5, P6, P7이 사용된다. 그러나, 이러한 PMOS트랜지스터 P5, P6, P7의 리키지(leakage) 전류에 의해 리셋신호 RESET의 발생이 불안정하게 될 수 있다.
- <78> 따라서, 동작 초기에 리키지 전류가 발생되지 않도록 하기 위해 공통 연결된 PMOS트랜지스터 P5, P6, P7의 게이트 단자에 바이어스 전압을 인가해준다. 이에 대한 설명은 상세하게 후술된다.

- <79> 피드백 제어부(23)는 노드 D와 접지전압단 VSS 사이에 연결되고 게이트 단자가 노드 C와 연결되는 NMOS트랜지스터 N7, 노드 C와 접지전압단 VSS 사이에 연결되고 게이트 단자가 노드 D에 연결된 NMOS트랜지스터 N8 및 드레인 단자와 소오스 단자가 노드 D에 공통 연결되고 게이트 단자가 접지전압단 VSS에 연결되는 MOS트랜지스터 N8을 구비한다.
- <80> 풀업 제어부(24)는 드레인 단자와 소오스 단자가 전원전압단 VCC에 공통 연결되고 게이트 단자가 노드 C와 연결된 PMOS트랜지스터 P3, 노드 C의 신호를 반전 출력하는 인버터 I1, 전원전압단 VCC와 노드 C 사이에 연결되고 게이트 단자가 인버터 I1의 출력 단자와 연결되는 PMOS트랜지스터 P4 및 인버터 I1의 출력신호를 반전시켜 리셋신호로 출력하는 인버터 I2를 구비한다.
- <81> 셀프 바이어스부(25)는 공통 연결된 임계전압 제어부(22)의 PMOS트랜지스터 P5, P6, P7의 게이트 단자와 접지 전압단 VSS 사이에 연결되며 게이트 단자가 소오스 단자와 공통 연결된 NMOS트랜지스터 N10를 구비하여 PMOS트랜지스터 P5, P6, P7의 게이트 단자에 리셋신호 발생부(20)의 동작 초기에 일정한 크기의 바이어스 전압(NMOS트랜지스터 N10의 임계전압)을 인가해준다.
- <82> 본 발명의 특징은 리셋신호 발생부(20)의 동작 초기에 임계전압 제어부(22)의 PMOS 트랜지스터 P5, P6, P7에 의한 서브 리키지 전류가 노드 D로 공급되지 않도록 하여 전원 전압 VCC이 일정 레벨에 도달하지 않은 상태에서 리셋신호가 발생되지 않도록 하는 것이다.
- <83> 도 9는 도 8의 리셋신호 발생부의 동작 파형도로, 도 9를 이용하여 본 발명의 리셋신호 발생부의 동작을 보다 상세하게 설명한다.

- <84> 전원전압 VCC가 온 되어 저전압에서 정상전압으로 상승하는 동작 초기에 노드 A는 NMOS트랜지스터 N3에 의해 로우 레벨로 고정된다. 노드 C의 전압은 CMOS 래치 회로의 PMOS트랜지스터 P2에 의해 전원전압이 증가하면 노드 C로 전류 유입이 증가하여 전원전압의 상승과 함께 증가하면서 하이 레벨로 유지된다.
- <85> 노드 C의 전압이 일정 레벨 이상이 되면 래치 인에이블 게이트인 NMOS트랜지스터 N4가 온 되어 래치 양단인 노드 A 및 노드 C는 래치 회로의 구성에 의해 각각 로우 및 하이 레벨로 된다. 또한, 노드 C의 하이 레벨로 인해 NMOS트랜지스터 N7도 온 되어 노드 D는 보다 안정적으로 그라운드 레벨인 로우 레벨로 되고, 노드 D가 로우 레벨이므로 노드 C의 풀 다운을 제어하는 NMOS트랜지스터 N8은 오프 상태로 유지된다.
- <86> 그런데, 전원전압이 서서히 증가하면 임계전압 제어부(22)의 PMOS트랜지스터 P5, P6, P7과 NMOS트랜지스터 N5, N6을 통해서 노드 D로 흘러 들어오는 전류 레벨이 증가하게 된다. 노드 D의 전압은 초기에는 NMOS트랜지스터 N9 및 NMOS트랜지스터 N7에 의해 로우 레벨을 유지되나 전원전압이 서서히 증가하면서 그 크기는 PMOS트랜지스터 P5, P6, P7과 NMOS트랜지스터 N5, N6을 통해서 유입되는 전류와 NMOS트랜지스터 N5를 통해 흘러 나가는 전류의 비에 의해 결정된다.
- <87> 노드 D의 전압이 일정 레벨을 넘으면 NMOS트랜지스터 N8이 온 되어 NMOS 트랜지스터 N8에 흐르는 전류가 전원감지부(21)의 PMOS트랜지스터 P2 및 풀업제어부(22)에 의해 노드 C에 공급되는 전류보다 크게 되어 노드 C가 로우 레벨로 천이된다. 그러면, 전원감지부(21)의 NMOS트랜지스터 N4가 오프 상태로 바뀌게 되므로 노드 C의 로우 레벨에 의해 노드 A가 하이 레벨로 풀업된다. 이로 인해, 노드 C도 더이상 풀업시킬 전류가 차단 되어 계속해서 로우 레벨을 유지하게 된다.

- <88> 또한, 노드 C가 로우 레벨이 되면 인버터 I1의 출력이 하이 레벨이 되므로 풀업 제어부(22)의 PMOS트랜지스터 P4에 의한 전류 공급도 차단되어 노드 C는 안정되게 로우 레벨을 유지하게 된다.
- <89> 한편, 피드백 제어부(23)의 NMOS트랜지스터 N7이 오프 상태로 바뀌게 되어 노드 D에서의 전류 유출(sink)이 차단되어 노드 D는 PMOS트랜지스터 P5, P6, P7에 의해 전원전압 VCC 레벨까지 상승하게 된다.
- <90> 따라서, 노드 D의 전압 레벨이 상승하게 됨으로써 NMOS트랜지스터 N8의 전류 구동능력을 더욱 향상시켜 노드 C가 안정된 로우 레벨이 되도록 다시 피드백하게 된다.
- <91> 노드 D는 전원전압의 상승이 시작되기 전에는 로드용 NMOS캐패시터 N9에 의해 로우 레벨을 유지하게 되는데 이는 NMOS트랜지스터 N8을 동작 초기에 오프 시키기 위함이다.
- <92> 그런데, 일반적으로 PMOS트랜지스터의 게이트 단자가 소오스 단자보다 전압이 낮은 경우에는 PMOS트랜지스터의 소오스 단자에서 드레인 단자로 서브 리키지(leakage) 전류가 많이 발생되게 된다.
- <93> 즉, 전원전압 VCC가 상승하기 시작하여 임계전압 제어부(22)의 PMOS트랜지스터 P5, P6, P7의 소오스 단자가 게이트 단자보다 전압이 높아지게 되면 PMOS트랜지스터 P5, P6, P7의 서브 리키지 전류에 의해 노드 D로 공급되는 전류가 PMOS트랜지스터 P2에 의해 노드 C에 공급되는 전류보다 많아져 동작 초기에 순간적으로 노드 D의 전압이 노드 C의 전압보다 높아질 수 있다.

- <94> 그렇게 되면, NMOS트랜지스터 N8이 온 되어 노드 C의 전압이 로우 레벨로 바뀌게 되고 이 상태가 계속 유지되어 리셋신호 RESET가 일정 전압 이상의 전원전압 VCC에서 발생되지 않고 낮은 전압 상태에서 발생되게 된다.
- <95> 따라서, 낮은 레벨의 전원전압 VCC에서 리셋 신호가 발생되지 않도록 하기 위해서는 전원전압 VCC의 상승에 따른 PMOS트랜지스터 P5, P6, P7의 서브 리키지 전류 발생을 억제시켜야 한다.
- <96> 본 발명에서는 이를 위해 PMOS트랜지스터 P5, P6, P7의 게이트 단자에 전원전압 VCC의 상승에 따라 일정 비율로 함께 상승하는 바이어스 전압을 인가해주어 리키지 전류의 발생을 차단해준다.
- <97> 즉, PMOS트랜지스터 P5, P6, P7의 게이트 단자에 셀프 바이어스부(25)로 NMOS트랜지스터 N10을 연결하여, 동작 초기에 NMOS트랜지스터 N10의 임계 전압이 PMOS트랜지스터 P5, P6, P7의 게이트 단자에 인가되도록 구성한다.
- <98> 이로써 동작 초기 전원전압 VCC가 상승하여도 PMOS트랜지스터 P5, P6, P7의 리키지 전류가 억제되며, 전원전압 VCC가 일정 레벨 까지 상승하여 NMOS트랜지스터 N5, N6에 의한 노드 D로의 전류 공급이 NMOS트랜지스터 N7에 의한 전류 유출보다 많아지게 되어 노드 D의 전압이 NMOS트랜지스터 N8의 임계 전압에 도달할 때 까지 NMOS트랜지스터 N8을 안정적으로 오프 시키게 된다.
- <99> 더욱이, 셀프 바이어스부(25)의 출력 단자 SELF_BIAS의 전압은 전원전압 VCC가 상승시 PMOS트랜지스터 P5, P6, P7의 게이트 캐패시턴스에 의해 커플링되어 도 9에서와 같

이 전원전압 VCC와 함께 상승하게 되어 PMOS트랜지스터 P5, 6, P7을 통한 노드 D로의 전류 공급 및 전압 상승을 보다 안정적으로 차단시키게 된다.

<100> 따라서, 노드 C는 도 9에서와 같이 전원전압이 일정 레벨에 도달하여 NMOS트랜지스터 N5, N6에 의한 전류공급이 NMOS트랜지스터 N7에 의한 전류 유출보다 충분히 많아져 노드 D의 전압이 NMOS트랜지스터 N8을 온 시킬 때 까지 전원전압 VCC의 상승과 함께 상승하다가 로우 레벨로 천이되게 된다.

<101> 이때, 출력 단자 SELF_BIAS의 전압 상승 비율은 셀프 바이어스부(25)의 전체 캐패시턴스 CST와 PMOS트랜지스터 P5, P6, P7의 커플링 캐패시턴스 CSC 비에 의해 결정된다.

<102> 즉, 도 9에서 출력 단자 SELF_BIAS의 전압 상승 비율은 $CSC / (CSC + CST) \times VCC$ 이 된다. 따라서, 셀프 바이어스부(25)의 전체 캐패시턴스 CST와 PMOS트랜지스터 P5, P6, P7의 커플링 캐패시턴스 CSC를 조절하면 출력 단자 SELF_BIAS의 전압 상승 정도를 바꿀 수 있게 된다.

<103> 전원전압 VCC의 상승이 완료되면 셀프 바이어스부(25)의 출력 단자 SELF_BIAS의 리키지 전류에 의해 출력 단자 SELF_BIAS의 전압이 서서히 감소하게 된다. 따라서, 일정 시간이 지나면 셀프 바이어스부(25)의 출력 단자 SELF_BIAS는 접지전압 레벨이 되게 된다.

<104> 이처럼, 전원전압 VCC의 상승이 완료된 후에는 다시 셀프 바이어스부(25)의 출력 단자 SELF_BIAS의 전압이 접지전압 VSS 레벨로 천이함으로써 PMOS트랜지스터 P5, P6, P7이 온 상태로 복구되어 노드 D도 전원전압 VCC 레벨 까지 상승하게 된다.

- <105> 노드 C의 전압은 인버터 I1, I2를 거쳐 리셋신호 RESET로 출력되며 이 리셋신호 RESET는 리셋신호 천이 검출부(30)로 인가된다.
- <106> 도 10은 본 발명에 따른 리셋신호 발생부의 제 2 실시예를 나타내는 도면이며, 도 11은 도 10의 리셋신호 발생부의 동작 파형도이다.
- <107> 도 10은 도 8과 셀프 바이어스부(26)의 구성에서 차이가 있다.
- <108> 즉, 셀프 바이어스부(26)는 NMOS트랜지스터 N10과 병렬 연결되고 외부의 제어신호 CHIP_PULSE를 게이트 단자로 인가받는 NMOS트랜지스터 N11을 더 구비하여 제어신호 CHIP_PULSE에 따라 셀프 바이어스부(26)의 출력단자 SELF_BIAS의 풀-다운 속도를 빠르게 하여 빨리 로우 레벨로 안착되도록 만들어 준다.
- <109> 도 12 내지 도 13은 본 발명에 따른 리셋신호 발생부의 제 3 실시예 및 제 4 실시예를 나타내는 도면으로, 제 1 실시예 및 제 2 실시예에서의 NMOS트랜지스터 N10 대신에 다이오드 D1을 사용한다.
- <110> 이 외 다른 동작 원리는 상술된 제 1 실시예 및 제 2 실시예에서와 동일하므로 그에 대한 설명은 생략한다.
- <111> 리셋신호 천이 검출부(30)는 리셋신호 발생부(20)로부터 입력된 리셋신호 RESET가 천이되는 시점을 검출하여 도 9에서와 같이 리셋 동작이 시작되는 시점에서 펄스 형태의 리셋신호 천이 검출 신호 RTD를 발생시킨다.
- <112> 도 14는 이러한 본 발명의 리셋신호 천이 검출부(30)의 구성을 상세하게 나타낸 회로도이다.

- <113> 리셋신호 천이 검출부(30)는 리셋신호 RESET를 반전시켜 출력하는 인버터 I3, 세개의 인버터 I4, I5, I6가 직렬 연결되어 인버터 I3에 의해 반전된 리셋신호를 일정 시간 반전 지연시키는 제 1 반전 지연부(31), 인버터 I3의 출력신호와 제 1 지연부(31)의 출력신호를 부정 논리곱 하는 낸드 게이트 ND1 및 낸드 게이트 ND1의 출력신호를 반전시켜 리셋신호 천이 검출 신호 RTD를 출력하는 인버터 I7를 구비한다.
- <114> 도 15는 이러한 본 발명의 칩 인에이블 신호 천이 검출부(50)의 구성을 보다 상세하게 나타낸 구성도이다.
- <115> 칩 인에이블 신호 천이 검출부(50)는 칩 인에이블 신호 CEB와 리셋신호 천이 검출 신호 RTD를 부정 논리합 하는 노아 게이트 NOR1, 세개의 인버터 I8, I9, I10이 직렬 연결되어 노아 게이트 NOR1의 출력신호를 일정 시간 반전 지연시키는 제 2 반전 지연부(51), 노아 게이트 NOR1의 출력신호와 제 2 반전 지연부(51)의 출력신호를 부정 논리곱 하는 낸드 게이트 ND2 및 낸드 게이트 ND2의 출력신호를 반전시켜 칩 인에이블 천이 검출 신호 CTD로 출력하는 인버터 I11를 구비한다.
- <116> 칩 인에이블 천이 검출 신호 CTD는 칩 인에이블 신호 CEB와 리셋신호 천이 검출 신호 RTD 중 적어도 어느 하나가 하이 레벨에서 로우 레벨로 천이될 때 발생된다.
- <117> 도 16은 이러한 본 발명의 어드레스 래치(60)의 구성을 보다 상세하게 나타낸 구성도이다.
- <118> 어드레스 래치(60)는 칩 인에이블 신호 CEB에 따라 어드레스 패드를 통해 입력된 어드레스 ADD_PAD를 선택적으로 래치하는 제 1 선택 래치부(61), 어드레스 천이 제어신호 ATD_CON에 따라 제 1 선택 래치부(61)에서 출력된 신호를 선택적으로 래치하는 제 2

선택 래치부(62) 및 제 2 선택 래치부(62)에서 출력된 신호를 버퍼링하여 어드레스 ADD와 래치된 어드레스 ADD_LAT, ADDB_LAT를 출력하는 버퍼부(63)를 구비한다.

<119> 제 1 선택 래치부(61)는 칩 인에이블 신호 CEB와 인버터 I14에 의해 반전된 신호에 의해 제어되어 어드레스 패드를 통해 입력되는 어드레스 ADD_PAD를 선택적으로 전송하는 전송게이트 TG1, 전송게이트 TG1에 의해 선택적으로 전송된 신호를 반전 래치하는 두개의 인버터 I12, I13 및 칩 인에이블 신호 CEB와 인버터 I14에 의해 반전된 신호에 의해 제어되어 인버터 I4의 출력신호를 인버터 I12의 입력단자로 선택적으로 전송하는 전송게이트 TG2를 구비한다.

<120> 제 2 선택 래치부(62)는 어드레스 천이 제어신호 ATD_CON와 인버터 I17에 의해 반전된 신호에 의해 제어되어 선택 래치부(61)의 출력신호를 선택적으로 전송하는 전송게이트 TG3, 전송게이트 TG3에 의해 선택적으로 전송된 신호를 반전 래치하는 두개의 인버터 I15, I16, 어드레스 천이 제어신호 ATD_CON와 인버터 I17에 의해 반전된 신호에 의해 제어되어 인버터 I16의 출력신호를 인버터 I15의 입력단자로 선택적으로 전송하는 전송게이트 TG4를 구비한다.

<121> 버퍼부(63)는 제 2 선택 래치부(62)의 출력신호를 반전시켜 어드레스 ADD를 출력하는 인버터 I18, 인버터 I18의 출력신호를 반전시켜 래치된 어드레스 ADD_LAT를 출력하는 인버터 I19, 인버터 I18의 출력신호를 순차 반전시켜 래치된 반전 어드레스 ADDB_LAT를 출력하는 두개의 인버터 I120, I121를 구비한다.

<122> 여기서, 어드레스 천이 제어신호 ATD_CON가 하이 레벨이면 메모리 셀 동작이 진행되고 있는 상태이며, 로우 레벨이면 다음 어드레스를 입력받는 상태이다. 또한, 어드레스 천이 제어신호 ATD_CON는 메모리 셀 동작 활성화에 따라 상태가 결정되는 신호이다.

- <123> 도 17은 칩 인에이블 신호 CEB가 로우 레벨을 유지하는 경우의 도 16에 도시된 어드레스 천이 제어신호 ATD_CON를 나타낸 타이밍도이다.
- <124> 어드레스 천이 제어신호 ATD_CON는 메모리 셀 동작 구간이 시작되는 시점에서 하이 레벨로 천이하고, 메모리 셀 동작 구간이 끝나는 시점에서 자동적으로 로우 레벨로 천이된다. 이로써, 제 2 선택 래치부(62)는 어드레스 천이 제어신호 ATD_CON가 하이 레벨인 셀 동작 구간에서는 다음 동작을 대기하는 상태가 된다.
- <125> 도 18은 칩 인에이블 신호 CEB의 레벨이 천이하는 경우의 도 16에 도시된 어드레스 천이 제어신호 ATD_CON를 나타낸 타이밍도이다.
- <126> 어드레스 천이 제어신호 ATD_CON는 칩 인에이블 신호 CEB가 하이 레벨인 구간에서도 하이 레벨이 되어 칩 인에이블 신호 CEB가 하이 레벨인 동안에 새로운 어드레스가 입력되어도 제 2 선택 래치부(62)에 입력되지 않도록 한다.
- <127> 이어서, 칩 인에이블 신호 CEB가 로우 레벨이 되면 어드레스 천이 제어신호 ATD_CON도 로우 레벨이 되어 제 1 선택 래치부(61)에서 래치된 어드레스를 입력받는다.
- <128> 따라서 어드레스 천이 제어신호 ATD_CON는 메모리 셀 활성화 구간 및 칩 인에이블 신호 CEB가 하이 레벨인 구간에서 하이 레벨이 되어 새로운 어드레스가 제 2 선택 래치부(62)에 입력되지 않도록 한다.
- <129> 그 나머지 구간에서 제 2 선택 래치부(62)는 제 1 선택 래치부(61)로부터의 어드레스를 입력받아 버퍼부(63)로 출력한다.
- <130> 상술된 칩 인에이블 신호 천이 검출부(50)로부터의 칩 인에이블 천이 신호 CTD와 어드레스 천이 검출부(70)로부터의 어드레스 천이 검출 신호 ATD는 합성부(80)에서 합성

되어 메모리 셀의 워드라인 WL 및 플레이트 라인 PL을 구동시키기 위한 합성된 천이 검출 신호 TDS로 출력된다.

<131> 어드레스 래치(60)에서 출력되는 래치된 어드레스 ADD_LAT, ADDB_LAT는 어드레스 디코더(90)에 의해 디코딩되어 워드라인을 선택하거나 컬럼을 선택하는데 사용된다.

【발명의 효과】

<132> 상술한 바와 같이, 본 발명의 리셋신호 발생회로는 셀프 바이어스 회로를 이용하여 전원전압의 슬로프 타임에 무관하게 전원전압이 일정한 전압 이상으로 상승한 경우에만 리셋신호를 발생시켜 줌으로써 짧은 주기로 전원 공급과 차단이 반복되어 일어나는 경우에도 동작 특성이 양호하고 안정된 리셋신호를 얻을 수 있다.

<133> 또한, 이러한 리셋신호 발생회로를 사용함으로써 불휘발성 강유전체 메모리 장치를 제어하기 위한 제어신호들의 발생을 안정화시켜 메모리 장치의 동작 특성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

인가된 전압의 크기를 일정 기간 유지하는 전원감지부;

전원전압의 변화와 인가되는 바이어스 전압에 따라 피드백 제어부로 전류를 공급하는 임계전압 제어부;

상기 전원감지부의 출력전압과 상기 임계전압 제어부에서 공급되는 전류량에 따라 상기 전원전압이 일정 레벨에 도달하는 경우에만 상기 전원감지부의 출력전압을 로우 레벨로 천이시키는 피드백 제어부;

상기 전원감지부의 출력전압을 하이 레벨로 풀업시키고 상기 피드백 제어부에 의해 조절된 전압 신호를 리셋신호로 출력하는 풀업 제어부; 및

상기 전원전압이 상기 일정 레벨에 도달할 때 까지 상기 임계전압 제어부에서 상기 피드백 제어부로 공급되는 전류량을 조절하는 셀프 바이어스부를 구비하는 리셋신호 발생회로.

【청구항 2】

제 1 항에 있어서, 상기 임계전압 제어부는

상기 전원전압의 증가에 따라 상기 피드백 제어부로 전류를 공급하는 전압 구동부; 및

상기 전압 구동부의 전류 공급에 의해 형성된 전압을 상기 전원전압의 크기로 풀업시키는 전압 풀업부를 구비하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 3】

제 2 항에 있어서,

상기 전압 구동부는 전원 전압단과 상기 피드백 제어부 사이에 직렬 연결되고 게이트 단자가 드레인 단자와 공통 연결된 구동소자들로 이루어지는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 4】

제 3 항에 있어서,

상기 구동소자는 제 1 PMOS트랜지스터인 것을 특징으로 하는 리셋신호 발생회로.

【청구항 5】

제 2 항에 있어서,

상기 전압 풀업부는 전원 전압단과 상기 피드백 제어부 사이에 직렬 연결되고 게이트 단자가 공통으로 상기 셀프 바이어스부와 연결된 구동소자들로 이루어지는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 6】

제 5 항에 있어서,

상기 구동소자는 제 1 NMOS트랜지스터인 것을 특징으로 하는 리셋신호 발생회로.

【청구항 7】

제 2 항에 있어서,

상기 셀프 바이어스부는 상기 전압 풀업부에 바이어스 전압을 인가하여 전원전압의 상승에 따른 전압 풀업부의 리키지 전류 발생을 억제하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 8】

제 7 항에 있어서,

상기 셀프 바이어스부는 상기 전압 풀업부와 접지 전압단 사이에 연결되고 게이트 단자가 소오스 단자와 공통 연결된 제 2 NMOS트랜지스터인 것을 특징으로 하는 리셋신호 발생회로.

【청구항 9】

제 7 항에 있어서,

상기 셀프 바이어스부는 입력단이 상기 전압 풀업부와 연결되고 출력노드가 접지 전압단과 연결되는 다이오드인 것을 특징으로 하는 리셋신호 발생회로.

【청구항 10】

제 8 항 또는 제 9 항에 있어서,

상기 셀프 바이어스부는 상기 전압 풀업부와 접지 전압단 사이에 연결되고 외부의 제어신호에 따라 온/오프되는 제 1 스위칭 소자를 더 구비하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 11】

제 2 항에 있어서,

상기 셀프 바이어스부에 의해 상기 전압 폴업부로 공급되는 바이어스 전압은 다음과 같은 비율(R)로 상승하는 것을 특징으로 하는 리셋신호 발생회로.

$$R = \text{CSC} / (\text{CSC} + \text{CST}) \times \text{VCC}$$

여기에서, CSC는 상기 셀프 바이어스부의 전체 캐패시턴스, CST는 상기 전압 폴업부의 커플링 캐패시턴스, VCC는 전원전압이다.

【청구항 12】

제 1 항에 있어서,

상기 피드백 제어부는 상기 임계전압 제어부로부터 공급되는 전류에 의해 형성된 전압이 상기 전원감지부의 출력전압보다 높을 때 상기 전원감지부의 출력전압을 로우 레벨로 천이시키는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 13】

제 12 항에 있어서, 상기 피드백 제어부는

상기 임계전압 제어부의 출력노드와 접지전압단 사이에 연결되고 게이트 단자가 상기 전원감지부의 출력노드와 연결되는 제 3 NMOS트랜지스터;

상기 전원감지부의 출력노드와 접지전압단 사이에 연결되고 게이트 단자가 상기 임계전압 제어부의 출력노드에 연결된 제 4 NMOS트랜지스터; 및

드레인 단자와 소오스 단자가 상기 임계전압 제어부의 출력노드에 공통 연결되고 게이트 단자가 접지전압단에 연결되는 제 1 MOS캐패시터를 구비하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 14】

제 1 항에 있어서, 상기 전원감지부는

전원전압을 유지하여 출력하는 전원유지부;

상기 전원유지부와 접지전압단 사이에 연결되어 동작 초기 상기 전원유지부에 접지 전압을 공급하는 제 2 MOS캐패시트; 및

상기 전원유지부와 접지전압단 사이에 연결되어 상기 접지전압단의 출력전압에 따라 온/오프되는 제 2 스위칭소자를 구비하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 15】

제 1 항에 있어서, 상기 풀업 제어부는

드레인 단자와 소오스 단자가 전원전압단에 공통 연결되고 게이트 단자가 상기 전원감지부의 출력노드와 연결되는 제 2 PMOS트랜지스터;

상기 전원감지부의 출력노드의 신호를 반전 출력하는 제 1 인버터;

전원전압단과 상기 전원감지부의 출력노드 사이에 연결되고 게이트 단자가 상기 제 1 인버터의 출력 단자와 연결되는 제 3 PMOS트랜지스터; 및

상기 제 1 인버터의 출력신호를 반전시켜 리셋신호로 출력하는 제 2 인버터를 구비하는 것을 특징으로 하는 리셋신호 발생회로.

【청구항 16】

파워 업 슬로프에 상관없이 전원전압이 일정 레벨 이상인 경우에만 리셋신호를 출력하는 리셋신호 발생부;

상기 리셋신호의 천이 시점을 검출하여 리셋신호 천이 검출신호를 출력하는 리셋 신호 천이 검출부;

어드레스 패드를 통해 입력된 어드레스를 칩 인에이블 신호와 어드레스 천이 제어 신호에 따라 래치하는 어드레스 래치;

상기 어드레스 래치로부터 출력되는 어드레스의 천이 시점을 검출하여 어드레스 천이 검출신호를 출력하는 어드레스 천이 검출부;

칩 인에이블 신호와 리셋신호 천이 검출 신호의 천이 시점을 검출하여 칩 인에이블 천이 검출 신호를 출력하는 칩 인에이블 신호 천이 검출부; 및

상기 어드레스 천이 검출 신호와 상기 칩 인에이블 신호 천이 검출 신호를 합성하여 천이 합성 신호를 출력하는 합성부를 구비하는 불휘발성 강유전체 메모리 장치.

【청구항 17】

제 16 항에 있어서,

칩 인에이블 패드를 통해 입력된 칩 인에이블 신호를 임시 저장하는 버퍼를 더 구비하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

【청구항 18】

제 16 항에 있어서,

비 휘발성 프로그램어블 코드 레지스터들로 구성되어 상기 리셋신호 천이 검출부로부터의 리셋신호 천이 검출 신호를 이용하여 외부에서 입출력 변경이 가능한 프로그램어블 회로 블록을 더 구비하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

【청구항 19】

제 16 항에 있어서, 상기 리셋신호 발생부는

인가된 전압의 크기를 일정 기간 유지하는 전원감지부;

전원전압의 변화와 인가되는 바이어스 전압에 따라 피드백 제어부로 전류를 공급하는 임계전압 제어부;

상기 전원감지부의 출력전압과 상기 임계전압 제어부에서 공급되는 전류량에 따라 상기 전원전압이 일정 레벨에 도달하는 경우에만 상기 전원감지부의 출력전압을 로우 레벨로 천이시키는 피드백 제어부;

상기 전원감지부의 출력전압을 하이 레벨로 풀업시키고 상기 피드백 제어부에 의해 조절된 전압 신호를 리셋신호로 출력하는 풀업 제어부; 및

상기 전원전압이 상기 일정 레벨에 도달할 때 까지 상기 임계전압 제어부에서 상기 피드백 제어부로 공급되는 전류량을 조절하는 셀프 바이어스부를 구비하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

【청구항 20】

제 19 항에 있어서,

상기 리셋신호 천이 검출부는 리셋 동작이 시작되는 시점에서 펄스 형태의 상기 리셋신호 천이 검출 신호를 출력하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

【청구항 21】

제 16 항에 있어서,

상기 어드레스 래치부는 상기 칩 인에이블 신호 및 상기 어드레스 천이 제어신호가 로우 레벨인 동안에 상기 어드레스 패드를 통한 어드레스를 입력받아 출력하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

【청구항 22】

제 21 항에 있어서, 상기 어드레스 래치는

칩 인에이블 신호에 따라 어드레스 패드를 통해 입력된 어드레스를 선택적으로 래치하는 제 1 선택 래치부;

어드레스 천이 제어신호에 따라 상기 제 1 선택 래치부에서 출력된 신호를 선택적으로 래치하는 제 2 선택 래치부; 및

상기 제 2 선택 래치부에서 출력된 신호를 버퍼링하여 출력하는 버퍼부를 구비하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

【청구항 23】

제 22 항에 있어서,

상기 제 1 선택 래치부는 상기 칩 인에이블 신호가 로우 레벨이면 상기 어드레스 패드를 통한 어드레스를 입력받고, 상기 칩 인에이블 신호가 하이 레벨이면 기 입력된 어드레스를 래치하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

【청구항 24】

제 23 항에 있어서,

상기 제 2 선택 래치부는 상기 어드레스 천이 제어신호가 로우 레벨이면 상기 제 1 선택 래치부로부터 출력되는 어드레스를 입력받고, 상기 어드레스 천이 제어신호가 하이

레벨이면 기 입력된 어드레스를 래치하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

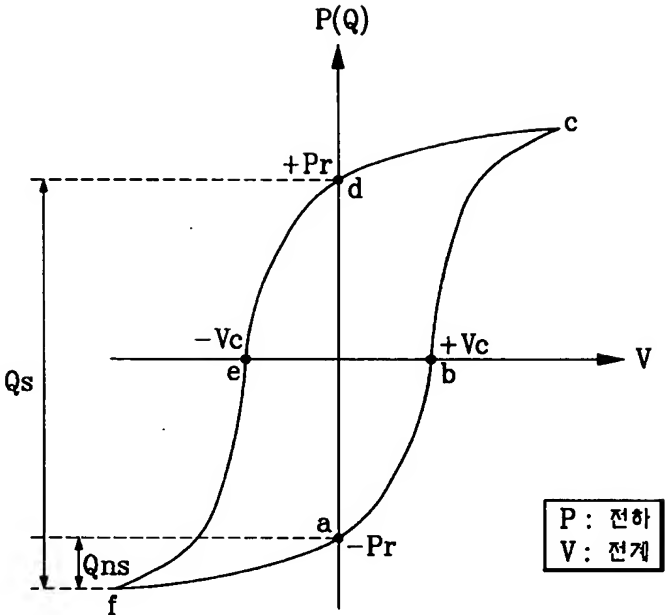
【청구항 25】

제 24 항에 있어서,

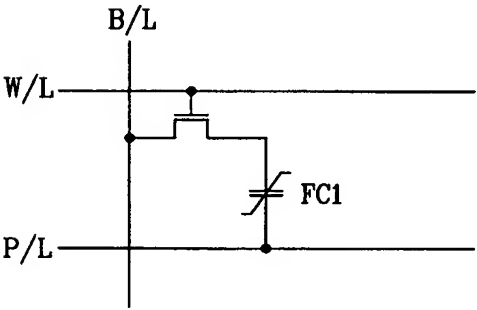
상기 제 2 선택 래치부는 셀 동작 구간 및 상기 칩 인에이블 신호가 하이 레벨인 구간에서 기 입력된 어드레스를 래치하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

【도면】

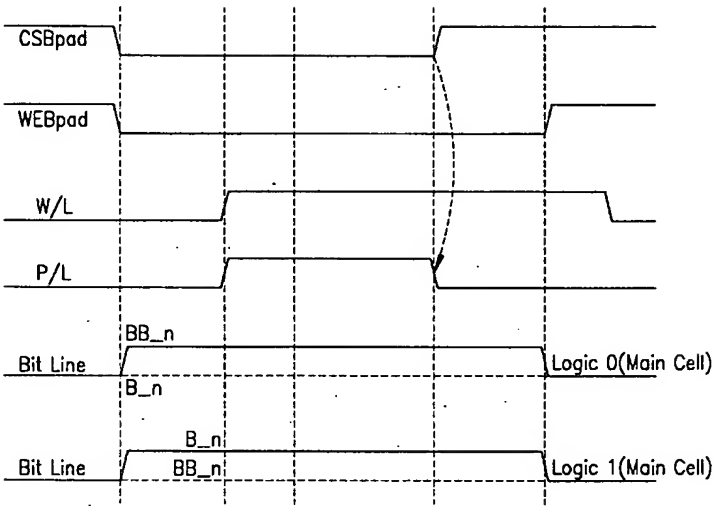
【도 1】



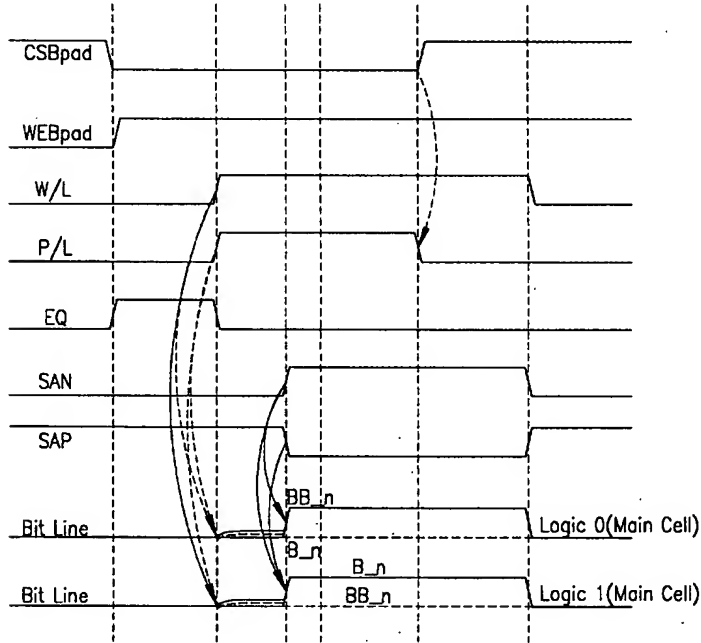
【도 2】



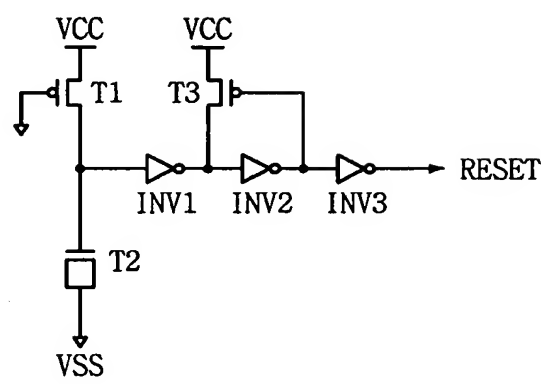
【도 3a】



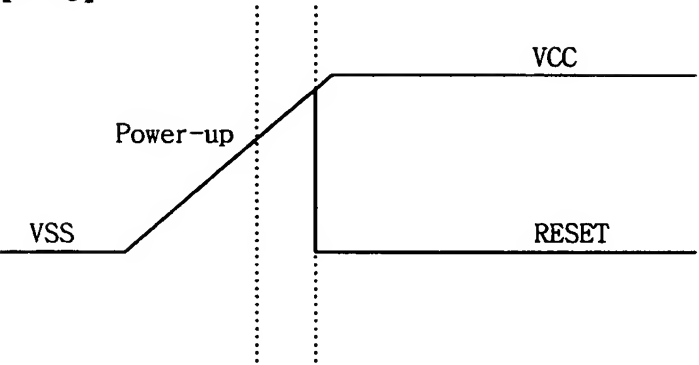
【도 3b】



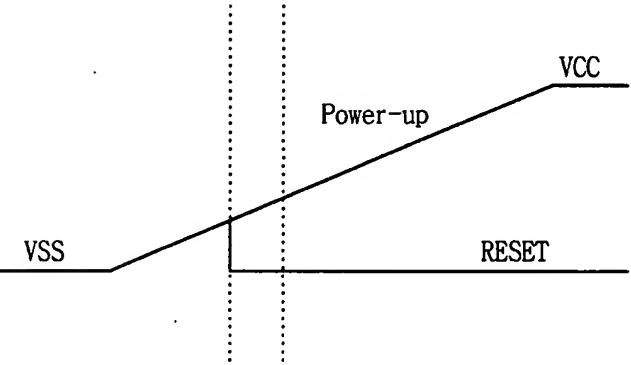
【도 4】



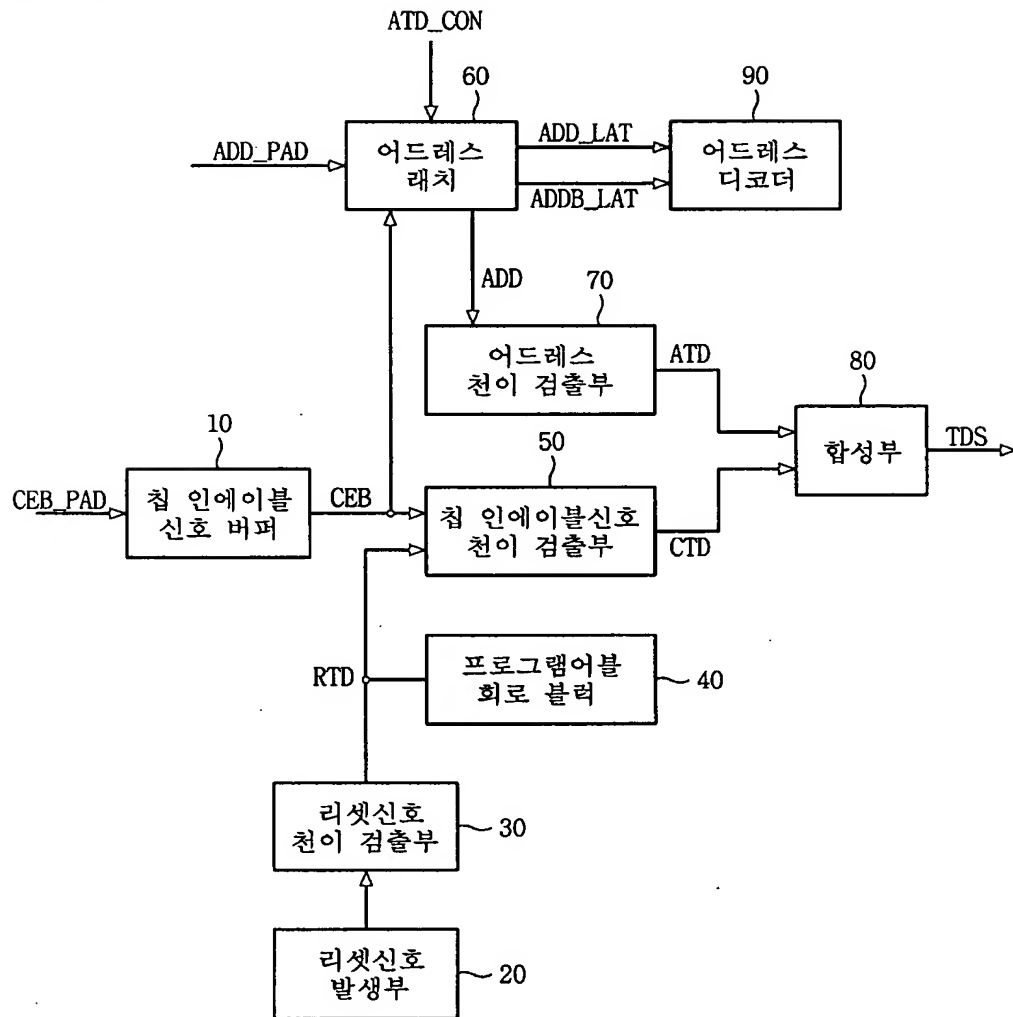
【도 5】



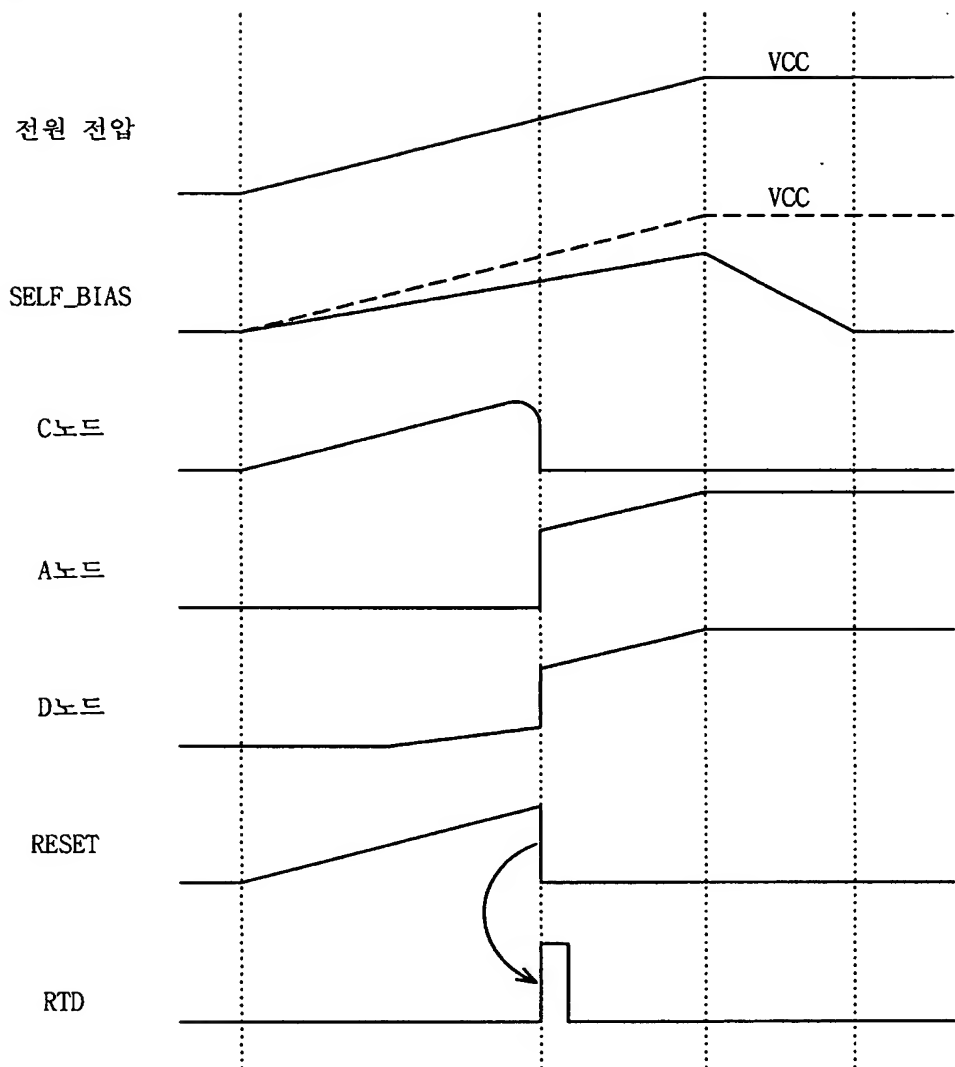
【도 6】



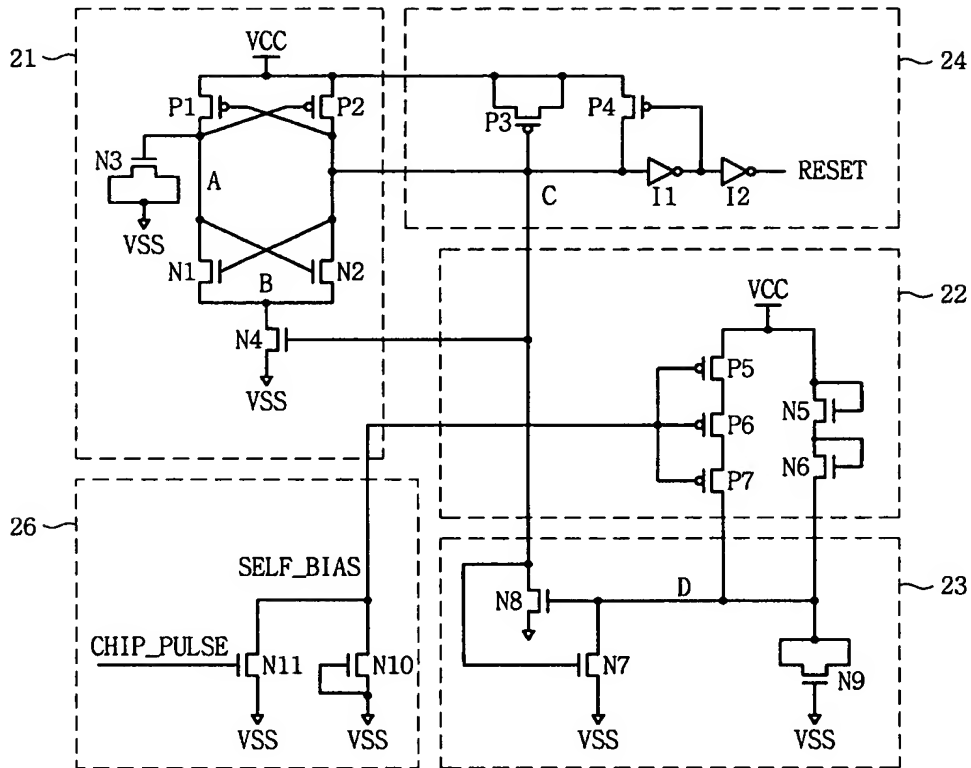
【도 7】



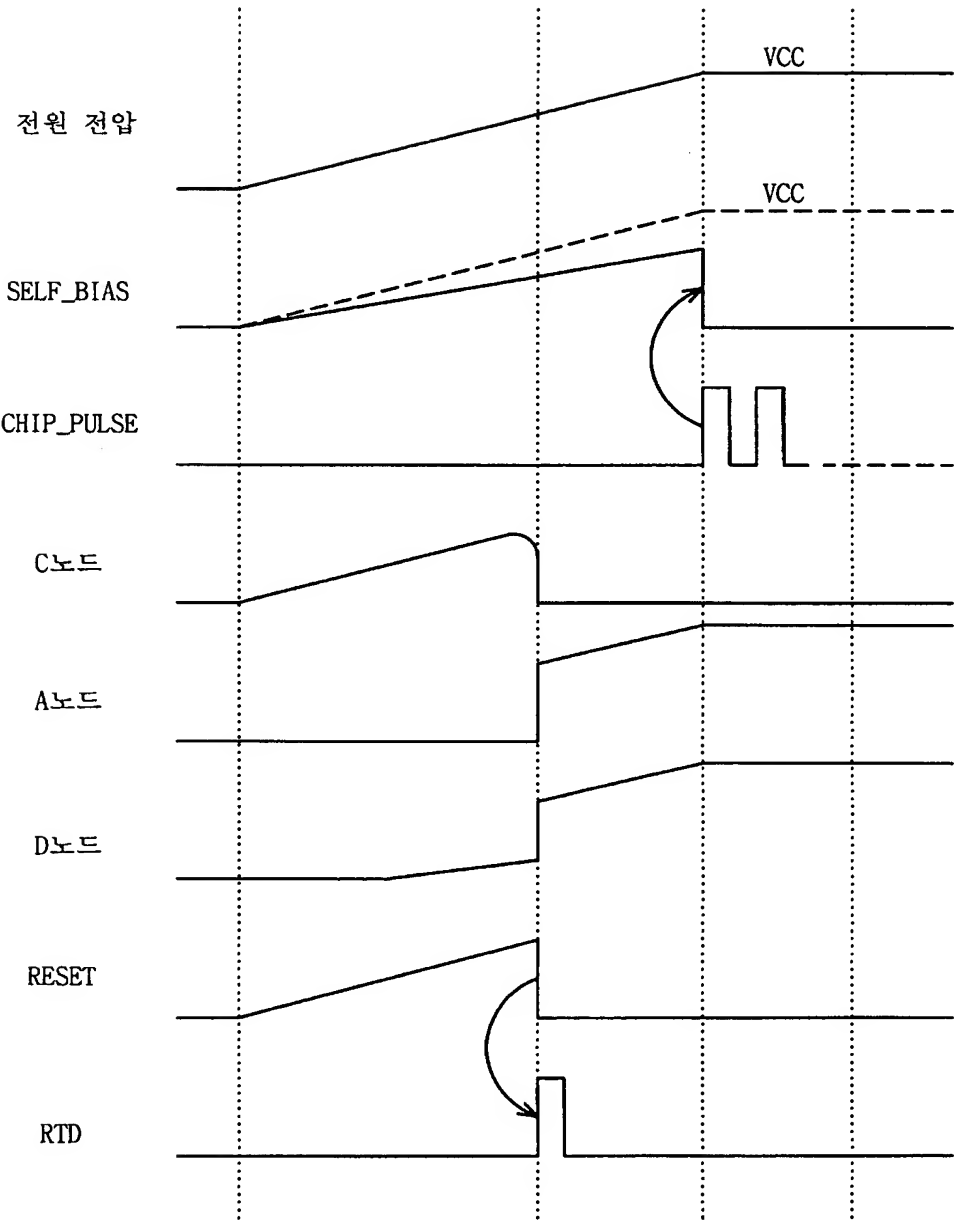
【도 9】



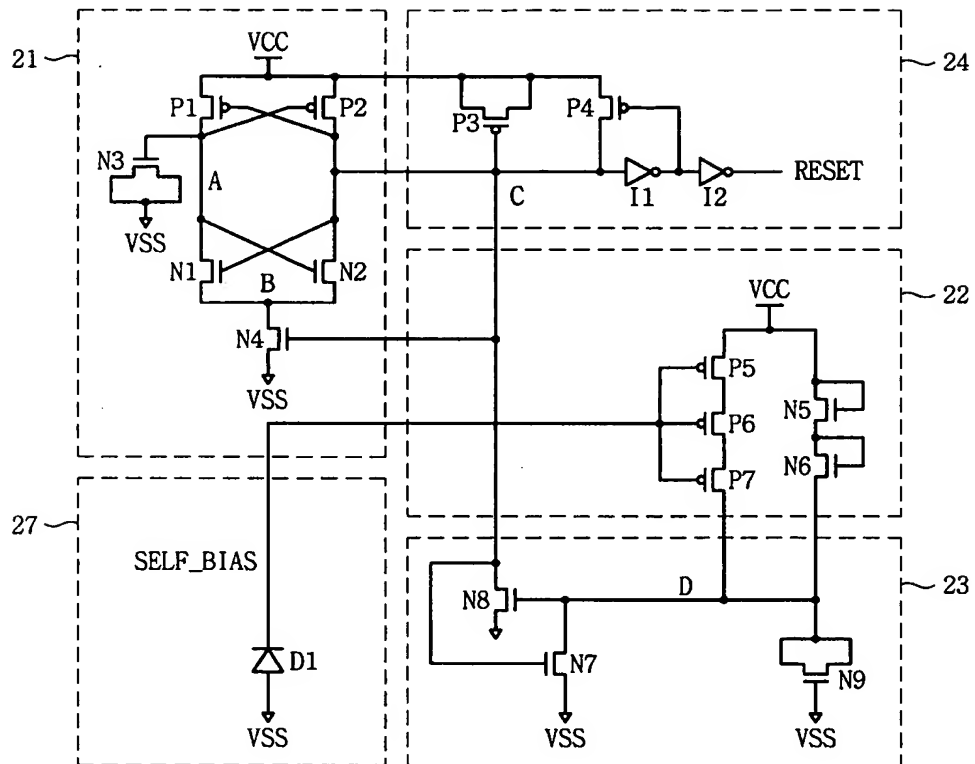
【도 10】



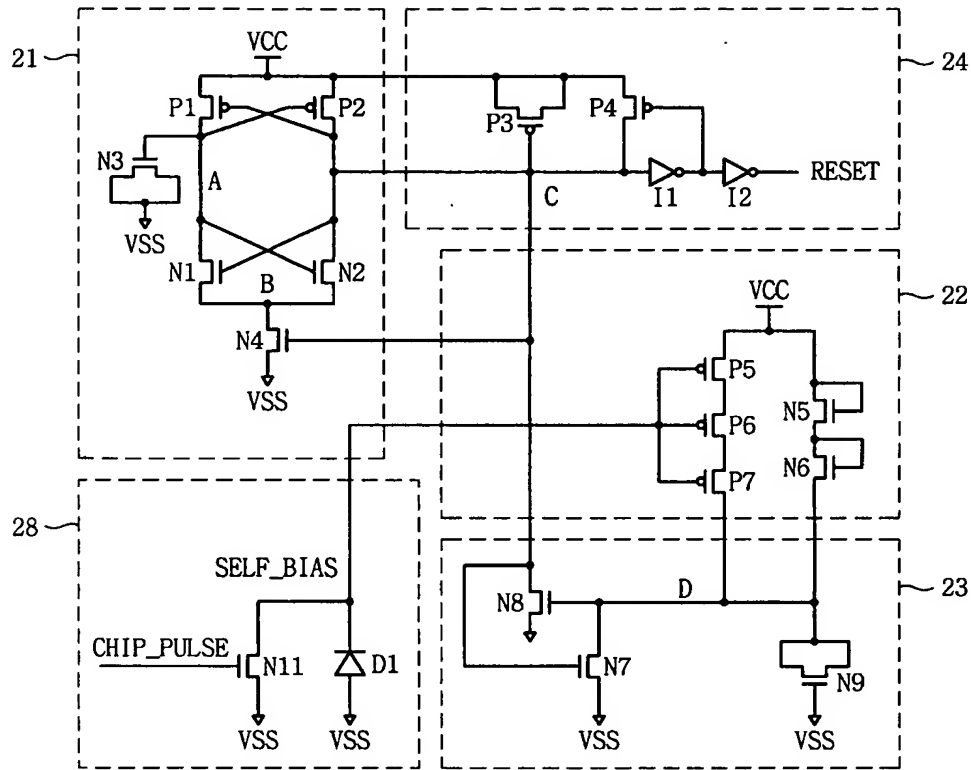
【도 11】



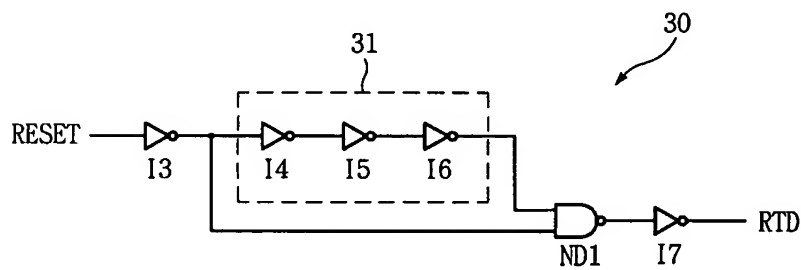
【도 12】



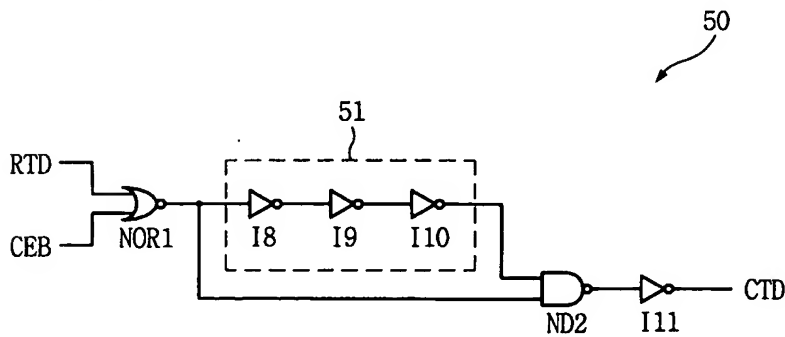
【도 13】



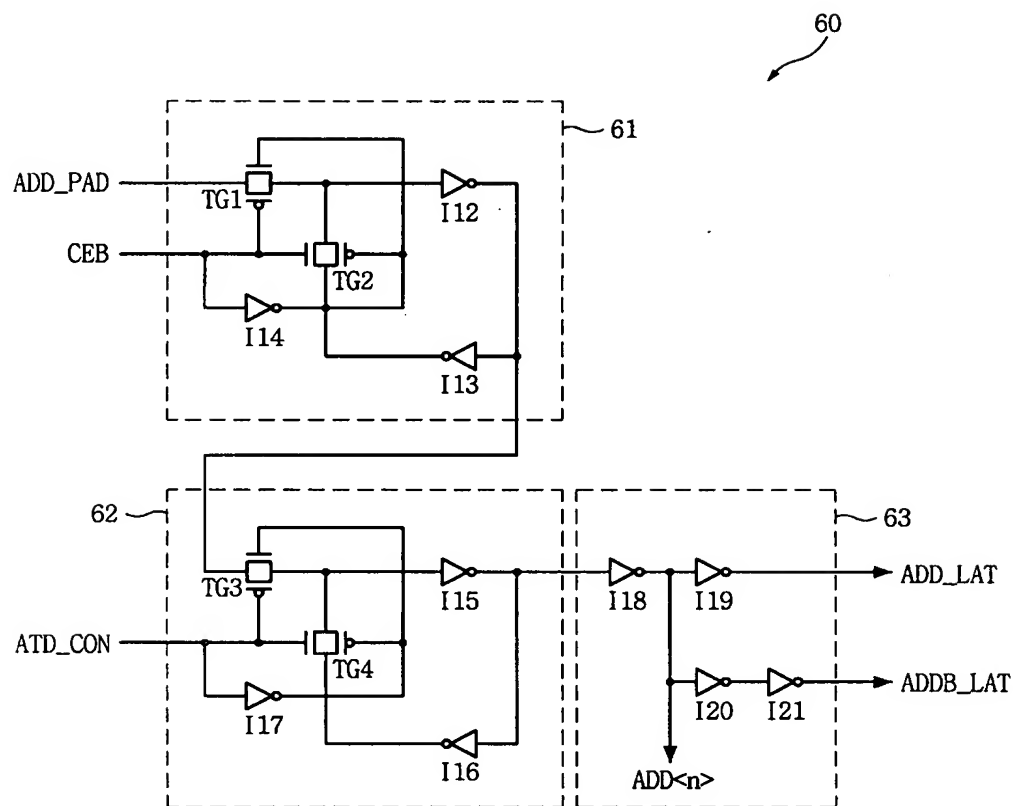
【도 14】



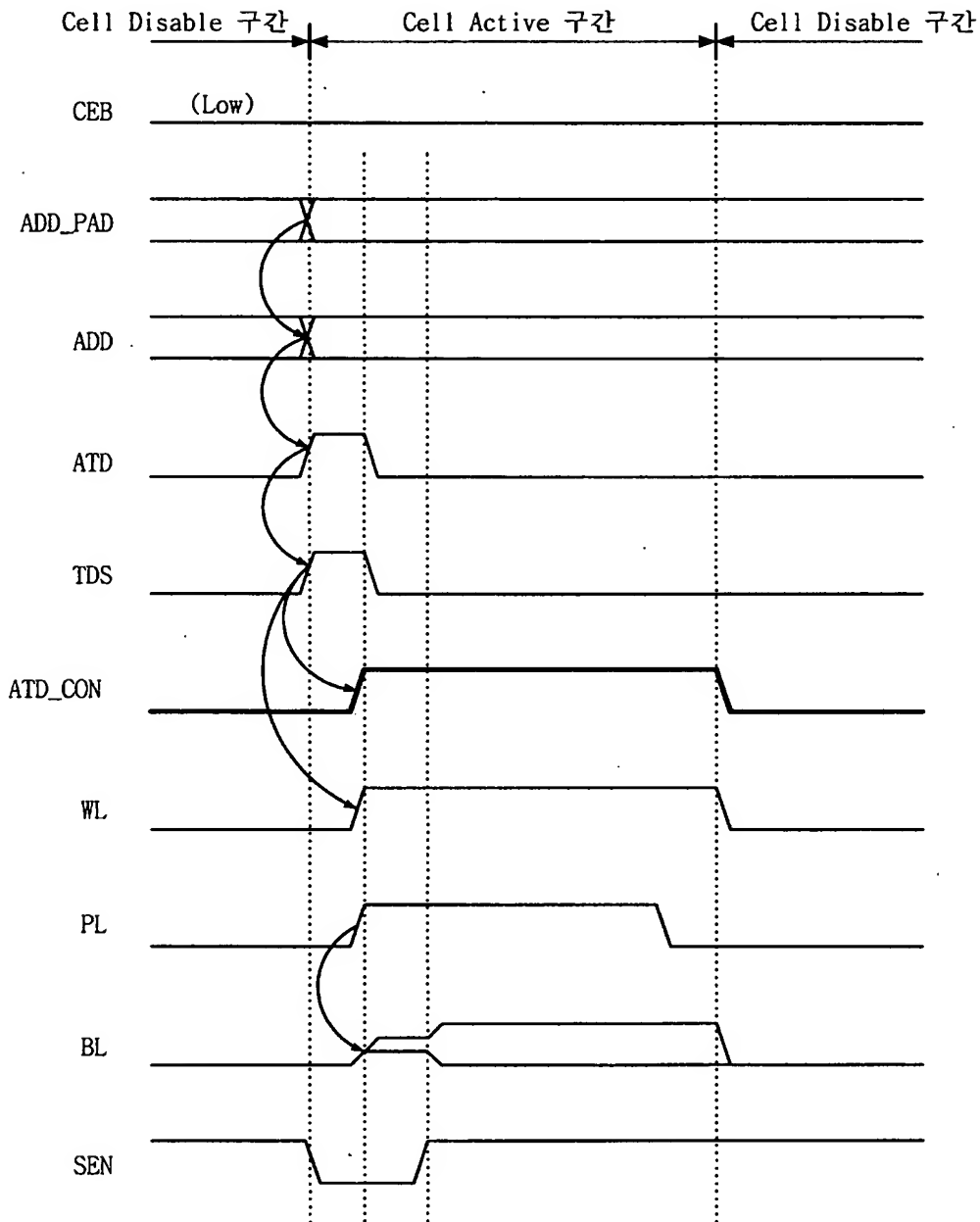
【도 15】



【도 16】



【도 17】



【도 18】

